

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-115204

(43)Date of publication of application : 02.05.1995

(51)Int.Cl.

H01L 29/786

H01L 21/205

H01L 21/265

H01L 21/316

(21)Application number : 05-264160

(71)Applicant : GOLD STAR CO LTD  
KOREA ADVANCED INST OF SCI TECHNOL

(22)Date of filing : 28.09.1993

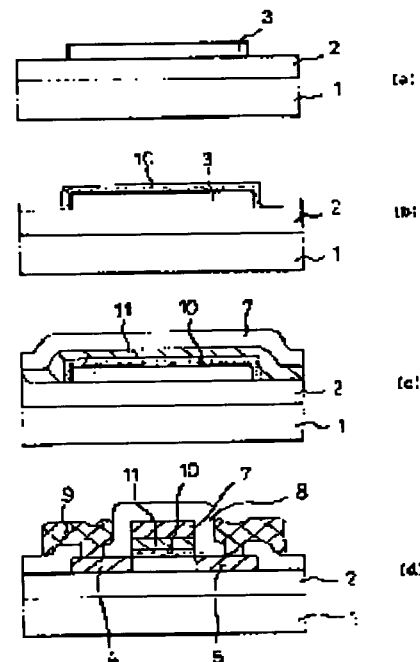
(72)Inventor : KAN CHORUHI  
KIM CHUNG-GI  
RI TEIRETSU  
GO KICHIKAN

## (54) MANUFACTURE OF POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To improve the reliability of an element, by improving the function of an electric switch used in a liquid crystal display element, preventing leaking current in driving, decreasing the step (difference) in an active semiconductor layer, and preventing wire breaking.

CONSTITUTION: A step for forming an initial insulating film 2 on a substrate 1, a step for patterning so that a source/drain region and a channel region are formed by evaporating polycrystalline silicon 3 on the initial insulating film, and a step for forming a gate insulating film so as to include the insulating layer formed by utilizing ion plasma on the patterned polycrystalline silicon 3, are provided. Furthermore, a step for forming a gate 7 by evaporating gate forming material on the gate insulating layer and selectively removing the gate forming material and the gate insulating layer, and a step for forming source/drain regions 4 and 5 on the polycrystalline silicon 3 by the ion implantation by utilizing the gate 7 as a mask, are provided.



## LEGAL STATUS

[Date of request for examination]

14.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-115204

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl.<sup>8</sup>H01L 29/786  
21/205  
21/265

識別記号

庁内整理番号

FI

技術表示箇所

9056-4M

H01L 29/78  
21/265311 G  
G

審査請求 未請求 請求項の数10 FD (全6頁) 最終頁に続く

(21)出願番号 特願平5-264160

(22)出願日 平成5年(1993)9月28日

特許法第30条第1項適用申請有り 1993年3月29日 社団法人応用物理学会発行の「1993年(平成5年)春季第40回応用物理学関係連合演習講演予稿集第2分冊」に発表

(71)出願人 590001669

株式会社金星社

大韓民国, ソウル特別市永登浦区汝矣島洞20

(71)出願人 593201545

韓国科学技術院

大韓民国大田市儒成区丘成洞313-1

(72)発明者 韓 ▲チョル▼ ▲ヒ▼

大韓民国大田市儒成区新成洞韓蔚アパートメント103-502

(74)代理人 弁理士 佐藤 一雄 (外3名)

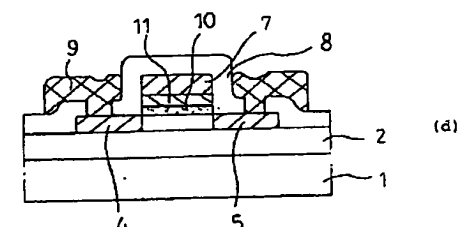
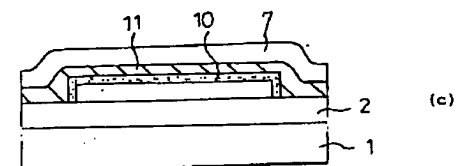
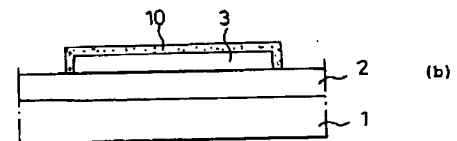
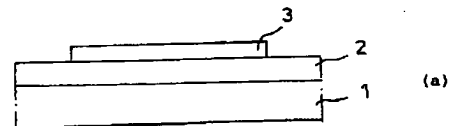
最終頁に続く

(54)【発明の名称】 多結晶シリコン薄膜トランジスタの製造方法

(57)【要約】

【目的】 液晶表示素子に用いられる電気的なスイッチの機能を向上させ、駆動時に漏泄電流を防止し、活性半導体層の段差を低減させて断線を防止することにより素子の信頼性を向上することにその目的がある。

【構成】 基板1上に初期絶縁膜2を形成する工程と、前記初期絶縁膜2上に多結晶シリコン3を蒸着し、ソース/ドレイン領域およびチャネル領域が形成されるようにパターニングする工程と、前記パターニングされた多結晶シリコン3上にイオンプラズマを利用して形成された絶縁層を含むようにゲート絶縁層を形成する工程と、前記ゲート絶縁層上にゲート形成用物質を蒸着し、このゲート形成用物質および前記ゲート絶縁層を選択的に除去してゲート7を形成する工程と、前記ゲート7をマスクとして利用したイオン注入により前記多結晶シリコン3上にソース/ドレイン4, 5を形成する工程とを含むものである。



## 【特許請求の範囲】

【請求項 1】 基板 1 上に初期絶縁膜 2 を形成する工程と、

前記初期絶縁膜 2 上に多結晶シリコン 3 を蒸着し、ソース／ドレイン領域およびチャネル領域が形成されるようにパターニングする工程と、

前記パターニングされた多結晶シリコン 3 上に、イオンプラズマを利用して形成された絶縁層を含むゲート絶縁層を形成する工程と、

前記ゲート絶縁層上にゲート形成用物質を蒸着し、このゲート形成用物質および前記ゲート絶縁層を選択的に除去してゲート 7 を形成する工程と、

前記ゲート 7 をマスクとして利用したイオン注入により前記多結晶シリコン 3 上にソース／ドレイン 4, 5 を形成する工程と、

を含むことを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項 2】 前記ソース／ドレイン 4, 5 を形成する段階の後に、層間絶縁膜を形成し、所定部分にコンタクト開口部を形成した後、導電物質を蒸着しパターニングしてソース／ドレイン電極 9 を形成する工程をさらに含むことを特徴とする請求項 1 記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 3】 基板 1 上に初期絶縁膜 2 を形成する工程と、

前記初期絶縁膜 2 上に多結晶シリコン 3 を蒸着し、ソース／ドレイン領域およびチャネル領域が形成されるようにパターニングする工程と、

前記パターニングされた多結晶シリコン 3 上にイオンプラズマを利用して形成された薄い酸化膜 1 2 と CVD 法を利用して形成された酸化膜 1 1 とを順次蒸着してゲート絶縁膜を形成する工程と、

前記絶縁膜上にゲート形成用物質を蒸着し、このゲート形成用物質および前記ゲート絶縁層を選択的に除去してゲート 7 を形成する工程と、

前記ゲート 7 をマスクとして多結晶シリコン 3 上にイオン注入してソース／ドレイン 4, 5 を形成する工程と、を含むことを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項 4】 酸素プラズマを利用した酸化膜 1 0 の厚さは、150 オングストローム～450 オングストロームであることを特徴とする請求項 3 記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 5】 ゲート絶縁膜の厚さは、800 オングストローム～4500 オングストロームで形成することを特徴とする請求項 3 記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 6】 酸素プラズマを利用して酸化膜 1 0 を形成した後に 500～600℃で熱処理する工程をさらに含むことを特徴とする請求項 3 記載の多結晶シリコン薄膜

トランジスタの製造方法。

【請求項 7】 基板 1 上に初期絶縁膜 2 を形成する工程と、

前記初期絶縁膜 2 上に多結晶シリコン 3 を蒸着し、ソース／ドレイン領域およびチャネル領域が形成されるようにパターニングする工程と、

前記パターニングされた多結晶シリコン 3 上に、酸素プラズマを利用して形成された酸化膜 1 0、窒化プラズマを利用して形成された窒化膜 1 2 および酸素プラズマを利用して形成された酸化膜 1 3 を順次積層して、ゲート絶縁層を形成する工程と、

前記ゲート絶縁層上にゲート形成用物質を蒸着し、このゲート形成用物質および前記ゲート絶縁層を選択的に除去してゲート 7 を形成する工程と、

前記ゲート 7 をマスクとして多結晶シリコン 3 上にイオン注入してソース／ドレイン 4, 5 を形成する工程と、を含むことを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項 8】 基板 1 上に初期絶縁膜 2 を形成する工程と、

前記初期絶縁膜 2 上に多結晶シリコン 3 を蒸着し、ソース／ドレイン領域およびチャネル領域が形成されるようにパターニングする工程と、

前記パターニングされた多結晶シリコン 3 上に酸素プラズマを利用して形成された酸化膜 1 0 を蒸着してゲート絶縁膜を形成する工程と、

前記絶縁膜上にゲート形成用物質を蒸着し、このゲート形成用物質および前記ゲート絶縁層を選択的に除去してゲート 7 を形成する工程と、

前記ゲート 7 をマスクとして多結晶シリコン 3 上にイオン注入してソース／ドレイン 4, 5 を形成する工程と、を含むことを特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項 9】 プラズマを利用して酸化膜 1 0、窒化膜 1 2 および酸化膜 1 3 を順次形成する工程は、前記酸化膜 1 0 を形成する工程条件と同一の条件下で反応ガスだけを交替して信仰することを特徴とする請求項 8 記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項 10】 前記窒化膜および酸化膜を順次形成する工程の後に、500～600℃で熱処理する工程を、さらに含むことを特徴とする請求項 9 記載の多結晶シリコン薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置 (Liquid Crystal Display) に用いられる多結晶シリコン薄膜トランジスタ (Thin Film Transistor: 以下、TFT という) の製造方法に関し、特に低温での製造が可能であり多結晶シリコンの電子移動度を高めることができる多結晶シリコン薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】多結晶シリコン薄膜トランジスタは、図1に示すように、多結晶シリコンを用いて活性領域3を形成するもので、ソース/ドレーン領域4、5をゲート7に自己整合 (Self-align) されるように形成することができるという長点があり、特に多結晶シリコンの電子移動度が大きいので、液晶表示装置の駆動回路として多結晶シリコンTFTを用いる場合、駆動回路を画素と共に基板に内蔵することができるという大きい長点がある。図1においては、符号1は基板、2は初期酸化膜、6はゲート酸化膜、8は層間絶縁膜、9はA1ソース/ドレーン電極をそれぞれ示す。

【0003】図2を参照して従来の多結晶シリコンTFTの製造方法を説明する。まず、図2(a)に示すように、基板1上に初期絶縁膜2を形成し、多結晶シリコン膜3を蒸着した後、ソース/ドレーン領域およびチャネル領域を定義して不要な部分を制御する。

【0004】ついで図2(b)に示すように、全面にゲート酸化膜6を形成する。この時、ゲート酸化膜6は前記多結晶シリコン3を熱酸化させて1000Å (オングストローム、以下同じ) 程度の厚さの熱酸化膜を形成するか、もしくはゲート絶縁膜として熱酸化膜の代わりにCVD酸化膜を形成することができる。また、熱酸化膜とCVD酸化膜とからなる二重酸化膜を形成することとしてもよい。

【0005】図2(c)に示すように、多結晶シリコンを厚さ2000Å~4000Å程度の厚さでCVD法により蒸着した後、ゲートマスクを利用したホト/エッチ工程により前記ゲート酸化膜6とともに多結晶シリコンをゲートパターンによってパターンニングしてゲート7を形成した後、このゲートをマスクとして露出された多結晶シリコン膜3にソース/ドレーンの形成のためのイオン注入工程を施す。

【0006】図2(d)に示すように、前記結果物の全面に層間絶縁膜8としてCVD酸化膜を厚さ2000Å~4000Å程度で蒸着する。この時、前記注入されたイオンが活性化されてソース/ドレーン領域4、5が形成されていることとなる。

【0007】ソース/ドレーン領域4、5の所定部分を露出させるコンタクト開口部を前記層間絶縁膜8に形成した後、この結果物の上にA1を蒸着しパターンニングして前記コンタクト開口部を介してソース/ドレーン領域4、5に連結されるソース/ドレーン電極9を形成する。

## 【0008】

【発明が解決しようとする課題】しかしながら、このような従来技術においては、多結晶シリコン熱酸化させてゲート酸化膜を形成する場合、多結晶シリコンの粒界

(Grain boundary) における酸素原子および分子の拡散速度が、粒界の以外の領域における酸素原子および分子

の拡散速度より速いので、形成されたゲート酸化膜6と活性層である多結晶シリコン3との境界面が前述した酸素原子および分子の拡散速度差により平坦化できないこととなる。

【0009】また、前述したように、ゲート絶縁膜6を熱酸化膜で形成する時に高温下で工程が進行されるので、石英 (Quartz) のような高価な基板を使用しなければならないという短所がある。

【0010】また、CVD酸化膜にてゲート酸化膜を形成する場合には、活性層である多結晶シリコン3の表面がゲート酸化膜6とチャネル間の界面となるので界面の捕獲状態 (trap state) が大きくなって、これもやはり電子移動度は低くなる。

【0011】本発明は、前述した問題点を解消するためのもので、低温工程が可能であり、多結晶シリコンの電子移動度を増加して多結晶シリコンTFTの駆動能力を向上させることができる多結晶シリコンTFTの製造方法を提供することにその目的がある。

## 【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明は、基板1上に初期絶縁膜2を形成する工程と、前記初期絶縁膜2上に多結晶シリコン3を蒸着し、ソース/ドレーン領域およびチャネル領域が形成されるようにパターンニングする工程と、前記パターンニングされた多結晶シリコン3上にイオンプラズマを利用して形成された絶縁層を含むゲート絶縁層を形成する工程と、前記ゲート絶縁層上にゲート形成用物質を蒸着し、このゲート形成用物質および前記ゲート絶縁層を選択的に除去してゲート7を形成する工程と、前記ゲート7をマスクとして利用したイオン注入により前記多結晶シリコン3上にソース/ドレーン4、5を形成する工程とを含むものである。

【0013】また、このような本発明は、多結晶シリコン薄膜トランジスタのゲート絶縁膜を、ECR (Electron Cyclotron Resonance) による酸素プラズマを利用して形成した薄い酸化膜で構成する。ECR酸素プラズマを用いることにより、基板と垂直な方向に数10eV程度のエネルギーを有するイオンと酸素原子とが存在して100Å~400Å程度の厚さの薄い酸化膜を形成することが可能である。

【0014】したがって、活性領域となる多結晶シリコン層を形成した後、多結晶シリコンの表面部位にECR酸素プラズマを利用して酸化膜を薄く形成することができ、チャネル部分となる前記多結晶シリコンの表面と酸化膜との間の優れた界面状態が得られる。

## 【0015】

【実施例】以下、本発明を添付図面を参照して詳述する。

【0016】図3は、本発明の第1の実施例による多結晶シリコンTFTの製造のための工程順序図である。

【0017】図3(a)に示すように、基板1上にCVD酸化膜を5000Å程度の厚さで形成して初期酸化膜を作製した後、全面に多結晶シリコンを蒸着し、ソース/ドレイン領域およびチャネル領域を定義して多結晶シリコンを所定パターンでパターニングする。

【0018】図3(b)に示すように、チャンバー(Chamber)内の圧力を0.5~2mTorr、例えば1.2mTorrとし、基板温度100~400℃、酸素流量6sccm、Ar流量8sccmとした工程条件下で、ECR酸素プラズマにより酸化膜10を前記多結晶シリコン表面に厚さ150Å~450Å程度で薄く形成する。

【0019】ついで図3(c)に示すように、前記ECR酸化膜10上にCVD酸化膜11を蒸着する。この時、ECR酸化膜10とCVD酸化膜11との厚さの和が800Å~1500Åとなるように、CVD酸化膜を蒸着する。

【0020】前記CVD酸化膜11上に多結晶シリコンまたは非晶質シリコンをCVD法により厚さ2000Å~4000Åで蒸着する。

【0021】図3(d)に示すように、前記蒸着された多結晶シリコンまたは非晶質シリコンおよびECR酸化膜10とCVD酸化膜11とをゲートマスクとして利用したホト/エッチ工程によりパターニングしてゲート7を形成した後、前記ゲート7をマスクとして利用して多結晶シリコン上にソース/ドレイン4, 5を形成するためのイオン注入工程を行い、前記結果物の全面にCVD酸化膜を厚さ3000Å~4000Å程度で蒸着して層間絶縁膜8を形成した後、ソース/ドレイン4, 5の所定部分が露出されるように、前記層間絶縁膜8にコンタクト開口部を形成した後、かかる結果物の全面にAlを蒸着し不要部分を選択的に除去して前記コンタクト開口部を介してソース/ドレイン4, 5と連結されるソース/ドレイン電極9を形成する。

【0022】一方、本発明の第2の実施例として、ゲート酸化膜をECR酸素プラズマを利用したONO(Oxide/Nitride/Oxide)膜で形成してもよい。すなわち、図4に示すように、上述した本発明の一実施例と同様の工程により多結晶シリコンパターン3まで形成した後、多結晶シリコン表面に前記第1の実施例の工程条件と同一の工程条件下で、ECR酸素プラズマにより薄い酸化膜10を形成した後、反応ガスである酸素およびキャリアガスであるアルゴンガスのみをシリコン化合物ガスおよび窒素または窒素化合物ガスとして、例えばSiH<sub>4</sub>とN<sub>2</sub>ガスとに交替して、工程を進行して窒化膜12を形成する。その後、再度SiH<sub>4</sub>とN<sub>2</sub>ガスをO<sub>2</sub>とArとに交替してECR酸素プラズマによる酸化膜13を形成することにより、ONO膜を形成する。

【0023】この時、ONO膜を形成した後で、酸素および窒素イオンチップと原子の活性化のために、500

℃~600℃で熱処理工程を行う。

【0024】本発明の第3の実施例として、前記各実施例と同様に、ゲート絶縁膜をECR酸化膜10とCVD酸化膜11とからなる二重構造の酸化膜、またはECR酸化膜10と窒化膜12およびECR酸素膜13からなるONO膜で形成せず、上述したECR酸化膜の形成工程条件と同一の条件下において、図5に示すように、ECR酸素プラズマにより400Å程度の酸化膜10を形成し、これを500℃~600℃温度で熱処理してもECR酸素プラズマによる酸化膜の単一膜をゲート絶縁膜として用いることとしてもよい。

【0025】以上説明した本発明の多結晶シリコン薄膜トランジスタの製造方法によって製造されたTFTの特性の実験結果は次の通りである。

【0026】図6はTFT製造工程時の最大温度が950℃であり、ゲート酸化膜としてECR酸素プラズマによる酸化膜厚さが330Åであり、このECR酸化膜を含む全てのゲート酸化膜の厚さが850Åであり、ゲートの幅(W)と長(L)の比がW/L=20/20μmである多結晶シリコンTFTのI<sub>D</sub>-V<sub>G</sub>(ゲートに印加される電圧対ドレイン電流)特性を示したもので、g<sub>m</sub>=(W/L)μC<sub>ox</sub>V<sub>DS</sub>の式によりチャネル領域の電子移動度が得られることがわかる。

【0027】ここで、μは電子移動度、C<sub>ox</sub>はゲート絶縁膜の単位面積当りのキャパシタンス、V<sub>D</sub>はドレイン電圧を、それぞれ示す。

【0028】図7は工程の最大温度が600℃であり、ECR酸化膜の厚さが400Å、全ゲート酸化膜の厚さが800Åであり、ゲートのW/Lが50/20μmであるTFTのI<sub>D</sub>-V<sub>G</sub>特性を示したもので、この場合前記式により安定に51cm<sup>2</sup>/V・secの電子移動度が得られ、本発明において600℃以下の工程においても比較的に高い電子移動度が得られることがわかる。

【0029】

【発明の効果】以上説明したように本発明によれば、多結晶シリコンTFTのゲート絶縁膜ECR酸素プラズマを利用して形成してチャネル領域での電子移動度を増加させることとした。したがって薄膜トランジスタをLCD駆動回路に利用する場合、駆動速度の増加により駆動能力が向上されるので駆動回路のブロック数を低減でき、これにより駆動回路の間断化が実現され、製造工程の収率を高めることができる。

【0030】加えて、本発明は低温工程によっても安定した電子移動度が得られることにより低温工程LCD用多結晶シリコンTFTの製造に適用できるので、定価格のガラス基板の使用が可能なり、したがって製造コストを低減することができる。

【図面の簡単な説明】

【図1】従来の多結晶シリコン薄膜トランジスタの断面構造図である。

【図2】(a)～(d)ともに、従来の多結晶シリコン薄膜トランジスタの製造工程順序図である。

【図3】(a)～(d)ともに、本発明の第1の実施例による多結晶シリコン薄膜トランジスタの製造工程順序図である。

【図4】本発明の第2の実施例を示す図である。

【図5】本発明の第3の実施例を示す図である。

【図6】本発明の効果を説明するための図である。

【図7】本発明の効果を説明するための図である。

【符号の説明】

1 基板

2 初期酸化膜

3 多結晶シリコン

4, 5 ソース/ドレイン

7 ゲート

8 層間絶縁膜

9 ソース/ドレイン電極

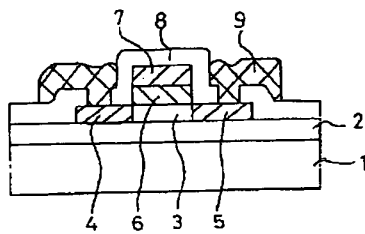
10 ECR酸素プラズマによる酸化膜

11 CVD酸化膜

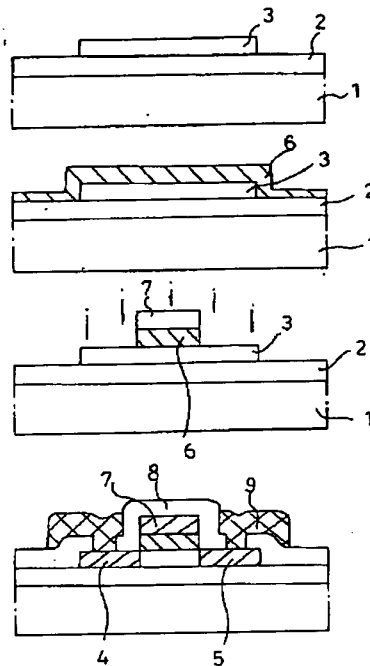
12 窒化膜

10 13 ECR酸素プラズマによる酸化膜

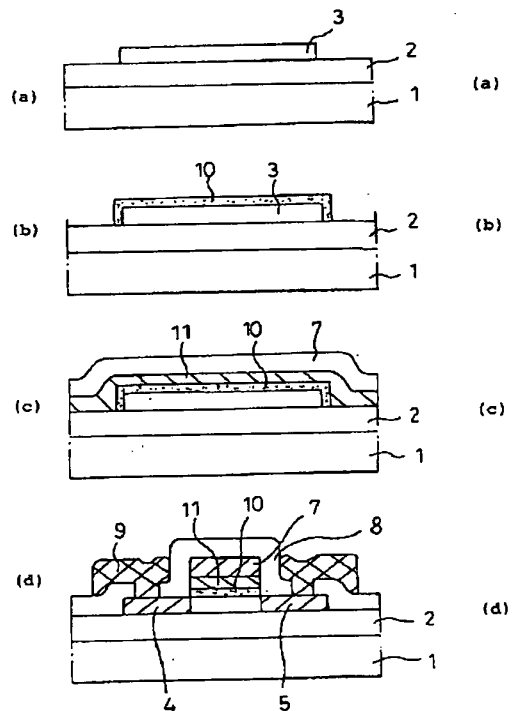
【図1】



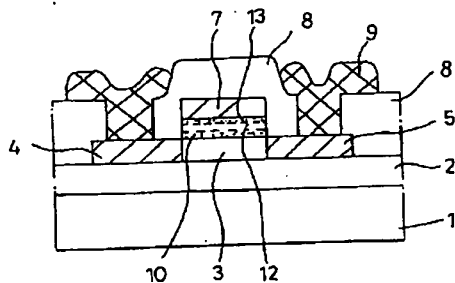
【図2】



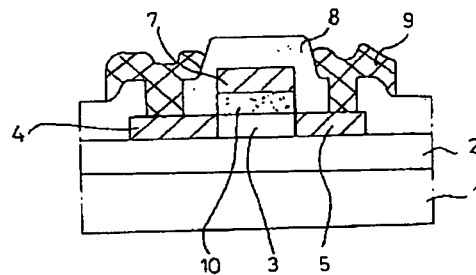
【図3】



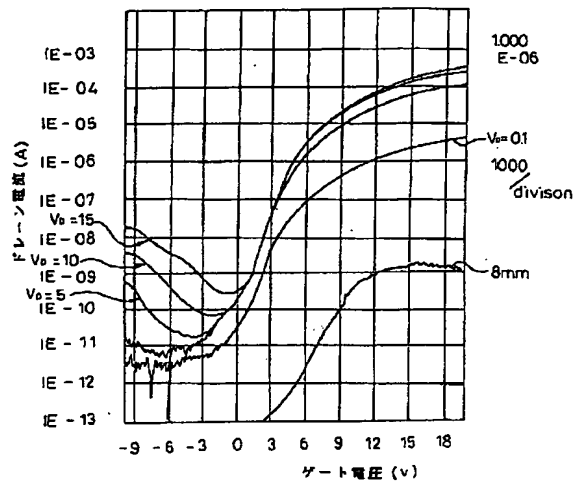
【図4】



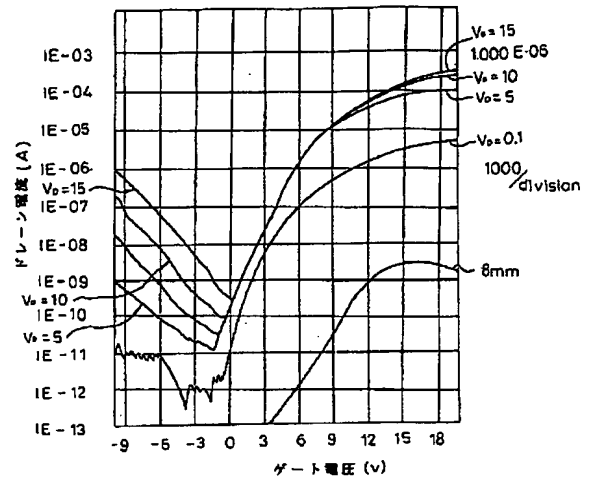
【図5】



【図6】



【図7】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

H01L 21/316

識別記号

庁内整理番号

B 7352-4M

F I

技術表示箇所

(72)発明者 金 忠 基

大韓民国ソウル特別市江南区論▲ヒョン▼  
洞250-10現代ビル、デー／3

(72)発明者 李 貞 烈

大韓民国大田市西区坦方洞韓陽 アパート  
メント7-307

(72)発明者 吳 吉 煥

大韓民国京畿道富川市中央区園美1洞104-  
4、1／7